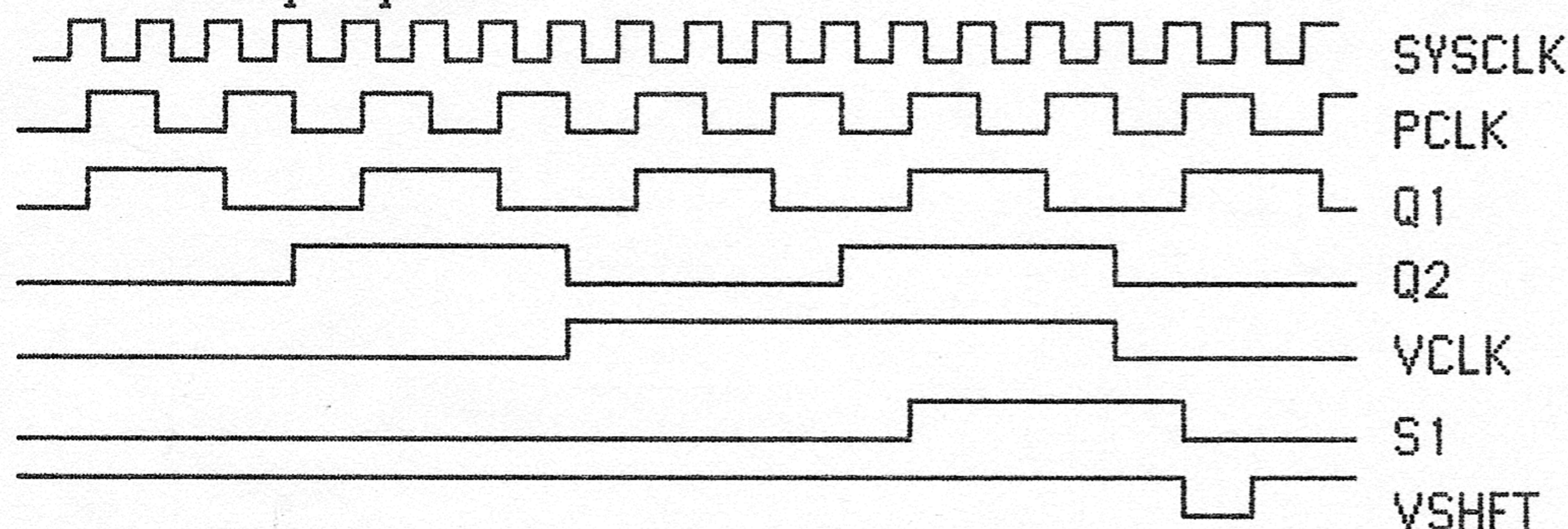


observando a duração do ciclo do processador vemos que este não pode aproveitar dois ciclos de memória seguidos. Isto, aliado ao fato de que durante os retraços e acessos à ROM o processador é o fator limitante, reduz o aumento de desempenho para 20 a 30%.

Vamos analisar os sinais gerados pela primeira PAL, que chamaremos aqui de "Timing State Machine", ou PAL0. É o **VCLK** que define o ciclo básico, mas vamos por partes.



SYSCLK é gerado diretamente pelo oscilador de 15,6672 MHz e todos os outros "clocks" são derivados dele. Já **PCLK** é gerado na PAL4 e é usado diretamente pelo processador. **Q1** tem um ciclo de 255 nS, sendo **PCLK** dividido por dois. Este sinal define os ciclos de memória no Turbo Mac. Em seguida encontramos **Q2** e **VCLK** que, com **Q1** e **PCLK**, formam uma espécie de contador. É evidente que estes sinais não estão todos exatamente em fase. **VCLK** e **Q2** estão três ciclos adiantados em relação aos sinais de memória. A razão para isto ficará clara na explicação do sinal **VSHFT**. Estes dois sinais dividem o ciclo básico em quatro ciclos de memória. O ciclo de memória indicado por **Q2** alto e **VCLK** alto é aquele reservado para o vídeo. A borda de descida de **VCLK**, que ocorre no meio deste ciclo, incrementa os contadores de vídeo. Ao vermos **CASH** e **CASL** em seguida, pode parecer que esta descida de **VCLK** mudaria o endereço de vídeo antes "hold time" (só no caso mais pessimista de tolerância de componentes) mas isto não acontece pois o endereço de coluna de vídeo é formado pelos bits mais significativos do contador que são incrementados por **RESNYB**.

Na figura acima indicamos pelo número do estado os valores de **VIAPB6** e **HSYNC** da seguinte forma: número = 2 * HSYNC + VIAPB6. É importante lembrar que esta técnica funcionaria mesmo que os sinais fossem puramente