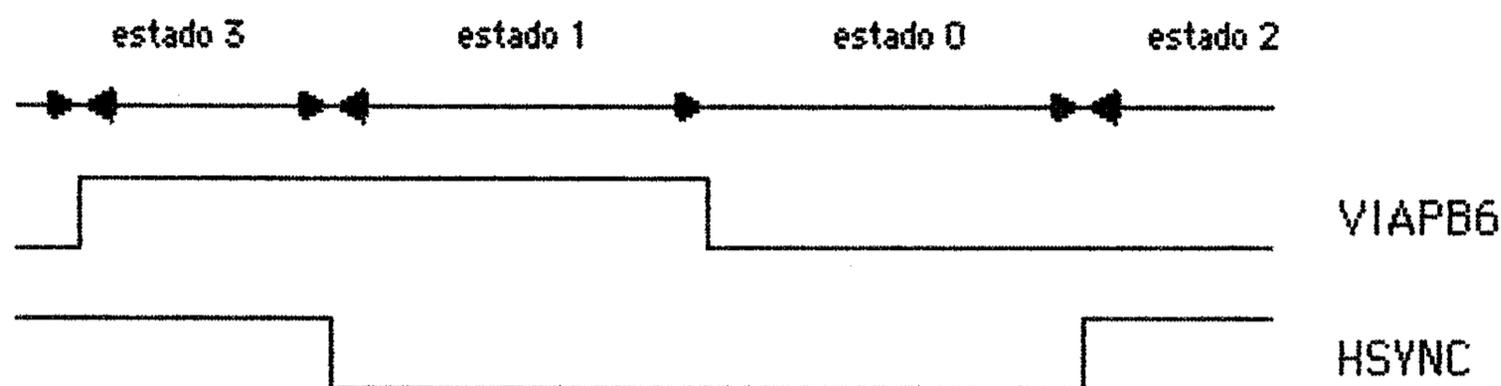
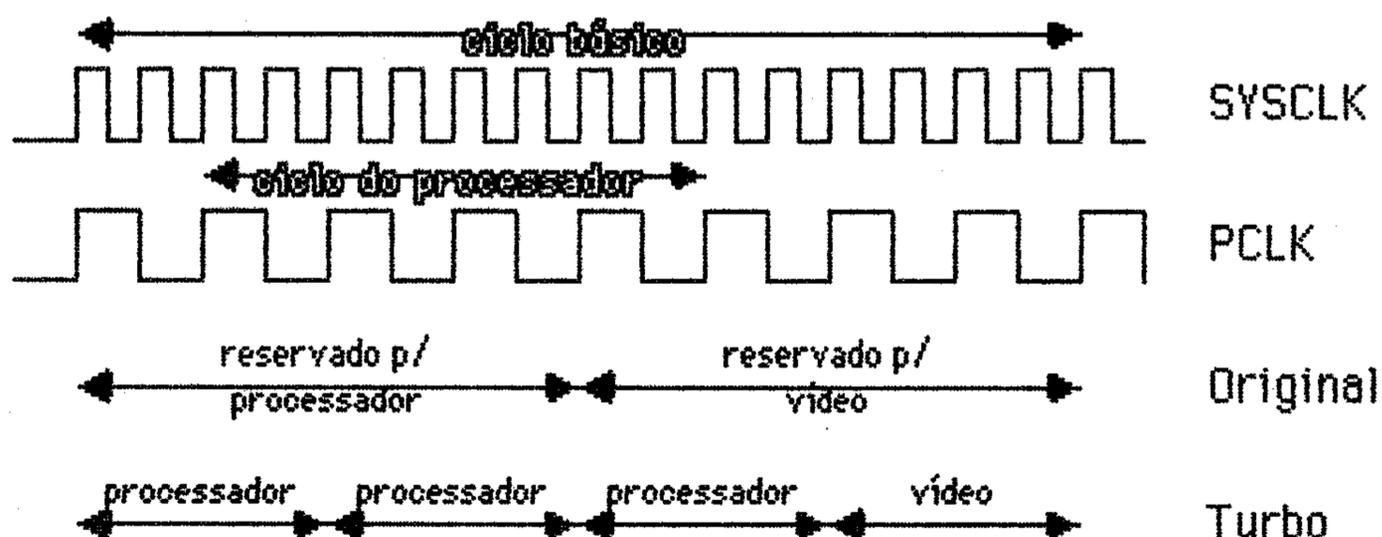


frequência mas fases e "duty cycles" diferentes. A forma mais intuitiva de se entender estes conjuntos é considerá-los como indicando o estado atual de uma máquina de estados finitos.



Ciclo Básico:

Chamaremos de ciclo básico o intervalo entre duas cargas sucessivas do registrador de vídeo. Foi justamente este ciclo que foi alterado, sendo que todas as outras mudanças efetuadas são meramente conseqüências. No projeto original este ciclo era dividido em dois ciclos de memória: um para o processador e outro para o vídeo. A alteração foi dividir o ciclo básico em tres ciclos para o processador e um para o vídeo. O tempo do ciclo básico foi mantido: 16 ciclos do "clock" do sistema (**SYCLK**) que equivale a 1021 nS. Durante o retraço horizontal os ciclos de vídeo não seriam usados e são, portanto, devolvidos ao processador (com a excessão do último, que é usado para gerar o som e controlar a velocidade das unidades de disquetes). Durante o retraço vertical todos os ciclos ficam para o processador, menos os de som.



Podemos ver que o ciclo de memória ficou com a metade do tempo que antes ocupava. Isto só se tornou possível graças à evolução da tecnologia de componentes de memória dinâmicas: a 4164-15 usada originalmente precisava de um ciclo de no mínimo 300 nS, enquanto que a 41256-12 tem um ciclo de 230 nS. O aumento de desempenho do Turbo em relação ao projeto original vem da possibilidade da memória poder fornecer mais informações para o processador no mesmo intervalo de tempo. À primeira vista, parece que podemos extrair tres vezes mais da memória, mas

Na figura acima indicamos pelo número do estado os valores de **VIAPB6** e **HSYNC** da seguinte forma: número = 2 * HSYNC + VIAPB6. É importante lembrar que esta técnica funcionaria mesmo que os sinais fossem puramente